

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Akio NAKAMURA :
Serial No.: [NEW] : Mail Stop Patent Application
Filed: April 13, 2004 : Attorney Docket No. OKI.621
For: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD
THEREOF

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Japanese application:


Appln. No. 2003-386818 filed November 17, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC


Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: April 13, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 1 月 1 7 日
Date of Application:

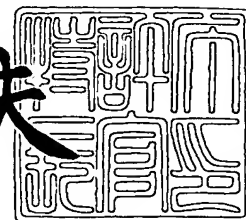
出 願 番 号 特 願 2 0 0 3 - 3 8 6 8 1 8
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 8 6 8 1 8]

出 願 人 沖電気工業株式会社
Applicant(s):

2 0 0 4 年 3 月 1 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 GI000016
【提出日】 平成15年11月17日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 23/12
【発明者】
 【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
 【氏名】 中村 彰男
【特許出願人】
 【識別番号】 000000295
 【氏名又は名称】 沖電気工業株式会社
 【代表者】 篠塚 勝正
【代理人】
 【識別番号】 110000165
 【氏名又は名称】 グローバル・アイピー東京特許業務法人
 【代表者】 宮川 良夫
【手数料の表示】
 【予納台帳番号】 193162
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

表面及び裏面を有するダイパッド部と、

第 1 電極部が形成された表面と、前記ダイパッド部の前記表面に固定された裏面とを有する第 1 半導体チップと、

第 2 電極部が形成された表面と、前記第 1 半導体チップの表面に固定された裏面とを有する第 2 半導体チップと、

前記第 1 及び第 2 電極部に電氣的に接続されたリード端子部と、

前記ダイパッド部、前記第 1 及び第 2 半導体チップを封止する樹脂封止体とを備え、

前記第 2 半導体チップの縁部が前記第 1 半導体チップの縁部から突出し、かつ、前記ダイパッド部の縁部が前記第 1 半導体チップの前記縁部から突出していることを特徴とする半導体装置。

【請求項 2】

前記ダイパッド部の前記縁部は、前記第 2 半導体チップの前記縁部からさらに突出していることを特徴とする、請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 半導体チップの表面は互いに対向する第 1 及び第 2 辺を有し、

前記第 2 半導体チップの表面は互いに対向する第 3 及び第 4 辺を有し、

前記ダイパッド部の表面は互いに対向する第 5 及び第 6 辺を有し、

前記第 2 半導体チップの前記第 4 辺が前記第 1 半導体チップの前記第 2 辺から突出し、かつ、前記ダイパッド部の前記第 6 辺が前記第 2 半導体チップの前記第 4 辺から突出していることを特徴とする、請求項 2 に記載の半導体装置。

【請求項 4】

前記第 1 及び第 2 半導体チップは略同一の形状及び大きさを有することを特徴とする、請求項 3 に記載の半導体装置。

【請求項 5】

前記第 2 半導体チップの第 1 辺と第 2 辺との間の長さをチップ長とした場合、

前記ダイパッド部の第 6 辺が前記第 2 半導体チップの前記第 4 辺から突出する長さは、前記チップ長の 4 分の 1 以下であることを特徴とする、請求項 4 に記載の半導体装置。

【請求項 6】

前記第 2 半導体チップの前記第 4 辺が前記第 1 半導体チップの前記第 2 辺から突出する長さは、前記チップ長の半分の 0.1 倍以上かつ 0.3 倍以下であることを特徴とする、請求項 5 に記載の半導体装置。

【請求項 7】

前記第 1 及び第 2 半導体チップの厚さは、前記チップ長の半分の 0.02 倍以上かつ 0.06 倍以下であることを特徴とする、請求項 6 に記載の半導体装置。

【請求項 8】

前記ダイパッド部は、前記第 1 及び第 2 半導体チップが重なっている部分に主に形成された貫通部をさらに有する、請求項 1 に記載の半導体装置。

【請求項 9】

前記貫通部は、前記第 1 及び第 2 半導体チップが重なっている部分にのみ形成されている、請求項 8 に記載の半導体装置。

【請求項 10】

前記貫通部は、放射状部、棒状部分、十字形状部又は略円形部のいずれかを含むことを特徴とする、請求項 9 に記載の半導体装置。

【請求項 11】

前記ダイパッド部、前記第 1 及び第 2 半導体チップは略矩形であり、

前記第 2 半導体チップの隣り合う 2 辺が前記第 1 半導体チップの隣り合う 2 辺から突出し、かつ、前記ダイパッド部の隣り合う 2 辺が前記第 1 半導体チップの前記 2 辺から突出していることを特徴とする、請求項 1 に記載の半導体装置。

【請求項 12】

前記リード端子部に電氣的に接続された第3電極部が形成された表面と、前記ダイパッド部の前記裏面に固定された裏面とを有する第3半導体チップと、

前記リード端子部に電氣的に接続された第4電極部が形成された表面と、前記第3半導体チップの表面に固定された裏面とを有する第4半導体チップとをさらに備え、

前記第4半導体チップの縁部が前記第3半導体チップの縁部から突出しており、かつ、前記ダイパッド部の縁部が前記第3半導体チップの前記縁部から突出していることを特徴とする、請求項1に記載の半導体装置。

【請求項 13】

前記第2半導体チップとともに前記第1半導体チップに固定された第5半導体チップをさらに備えることを特徴とする、請求項1に記載の半導体装置。

【請求項 14】

前記第5半導体チップの縁部は、前記第1半導体チップの前記縁部から突出していることを特徴とする、請求項13に記載の半導体装置。

【請求項 15】

第1面と、前記第1面と対向し第1電極部が形成された第2面であって、第1辺と前記第1辺に対向する第2辺とを有する第2面とを備えた第1半導体チップと、

前記第2面上に固定された第3面と、前記第3面と対向し第2電極部が形成された第4面であって、第3辺と前記第3辺に対向する第4辺とを有する第4面とを備えた第2半導体チップと、

前記第1半導体チップが固定されたダイパッド部であって、前記第1面が固定された第1領域と、前記第2辺から突出した第2領域とを有するダイパッド部と、

前記第1及び第2電極部に電氣的に接続されたリード端子部と、

前記ダイパッド部、前記第1及び前記第2半導体チップを封止する樹脂封止体とを備え、

前記第2半導体チップの前記第4辺が前記第1半導体チップの前記第2辺から突出していることを特徴とする、半導体装置。

【請求項 16】

前記ダイパッド部は、前記第1辺から突出した第3領域をさらに有し、前記第3領域の突出量は前記第2領域の突出量よりも大きいことを特徴とする、請求項15に記載の半導体装置。

【請求項 17】

前記第2領域は、前記第2半導体チップの前記第4辺からさらに突出していることを特徴とする、請求項15に記載の半導体装置。

【請求項 18】

前記第1及び第2半導体チップは略同一の形状及び大きさを有することを特徴とする、請求項17に記載の半導体装置。

【請求項 19】

前記第2半導体チップの第1辺と第2辺との間の長さをチップ長とした場合、

前記第2領域が前記第2半導体チップの前記第4辺から突出する長さは、前記チップ長の4分の1以下であることを特徴とする、請求項18に記載の半導体装置。

【請求項 20】

前記第2半導体チップの前記第4辺が前記第1半導体チップの前記第2辺から突出する長さは、前記チップ長の半分の0.1倍以上かつ0.3倍以下であることを特徴とする、請求項19に記載の半導体装置。

【請求項 21】

前記第1及び第2半導体チップの厚さは、前記チップ長の半分の0.02倍以上かつ0.06倍以下であることを特徴とする、請求項20に記載の半導体装置。

【請求項 22】

前記ダイパッド部は、前記第1及び第2半導体チップが重なっている部分に主に形成さ

れた貫通部をさらに有する、請求項 15 に記載の半導体装置。

【請求項 23】

前記貫通部は、前記第 1 及び第 2 半導体チップが重なっている部分にのみ形成されている、請求項 22 に記載の半導体装置。

【請求項 24】

前記貫通部は、放射状部、棒状部分、十字形状部又は略円形部のいずれかを含むことを特徴とする、請求項 23 に記載の半導体装置。

【請求項 25】

前記第 1 半導体チップの前記第 2 面は、前記第 2 辺に隣り合う第 5 辺をさらに有し、
前記第 2 半導体チップの前記第 4 面は、前記第 4 辺に隣り合う第 6 辺をさらに有し、
前記ダイパッド部は、前記第 5 辺から突出した第 4 領域をさらに有し、
前記第 2 半導体チップの前記第 6 辺が前記第 1 半導体チップの前記第 5 辺から突出していることを特徴とする、請求項 15 に記載の半導体装置。

【請求項 26】

第 5 面と、前記第 5 面と対向し前記リード端子部に電氣的に接続された第 3 電極部が形成され、第 7 辺を有する第 6 面とを備えた第 3 半導体チップと、

前記第 6 面上に固定された第 7 面と、前記第 7 面と対向し前記リード端子部に電氣的に接続された第 4 電極部が形成され、第 8 辺を有する第 8 面とを備えた第 4 半導体チップとをさらに備え、

前記ダイパッド部は、前記第 1 及び第 2 領域が形成された面に対向する面において、前記第 5 面が固定された第 5 領域と前記第 7 辺から突出した第 6 領域とをさらに有し、

前記第 4 半導体チップの前記第 8 辺が第 3 半導体チップの前記第 7 辺から突出していることを特徴とする、請求項 15 に記載の半導体装置。

【請求項 27】

前記第 2 半導体チップとともに前記第 1 半導体チップに固定された第 5 半導体チップをさらに備えることを特徴とする、請求項 15 に記載の半導体装置。

【請求項 28】

前記第 5 半導体チップの縁部は、前記第 1 半導体チップの前記第 2 辺から突出していることを特徴とする、請求項 27 に記載の半導体装置。

【請求項 29】

第 1 電極部が形成された表面と前記表面に対向する裏面とを有する第 1 半導体チップと、第 2 電極部が形成された表面と前記表面に対向する裏面とを有する第 2 半導体チップと、ダイパッド部と、リード端子部と、樹脂封止体とを備えた半導体装置を製造する方法であって、

前記ダイパッド部の縁部が前記第 1 半導体チップの縁部から突出するように、前記ダイパッド部に前記第 1 半導体チップの裏面を固定するステップと、

前記第 2 半導体チップの縁部が前記第 1 半導体チップの前記縁部から突出するように、前記第 2 半導体チップの裏面を前記第 1 半導体チップの表面に固定するステップと、

前記第 1 及び第 2 電極部を前記リード端子部に電氣的に接続するステップと、

前記第 1 及び第 2 半導体チップ、前記ダイパッド部を前記樹脂封止体で封止するステップと、を含むことを特徴とする半導体装置の製造方法。

【請求項 30】

第 1 面と、前記第 1 面と対向し第 1 電極部が形成された第 2 面であって、第 1 辺と前記第 1 辺に対向する第 2 辺とを有する第 2 面とを備えた第 1 半導体チップと、第 3 面と、前記第 3 面と対向し第 2 電極部が形成された第 4 面であって、第 3 辺と前記第 3 辺に対向する第 4 辺とを有する第 4 面とを備えた第 2 半導体チップと、第 1 領域と第 2 領域とを有するダイパッド部と、リード端子部と、樹脂封止体とを備えた半導体装置を製造する方法であって、

前記ダイパッド部の前記第 2 領域が前記第 1 半導体チップの前記第 2 辺から突出するように、前記ダイパッド部の前記第 1 領域に前記第 1 半導体チップの第 1 面を固定するステ

ップと、

前記第 2 半導体チップの前記第 4 辺が前記第 1 半導体チップの前記第 2 辺から突出するように、前記第 1 半導体チップの前記第 2 面に前記第 2 半導体チップの第 3 面を固定するステップと、

前記第 1 及び第 2 電極部を前記リード端子部に電氣的に接続するステップと、

前記第 1 及び第 2 半導体チップ、前記ダイパッド部を前記樹脂封止体で封止するステップと、を含むことを特徴とする半導体装置の製造方法。

【書類名】明細書

【発明の名称】半導体装置及びその製造方法

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法、特に、複数の半導体チップを積層する半導体チップ積層型の半導体装置及びその製造方法に関する。

【背景技術】

【0002】

特許文献1には、各半導体チップを互いにずらして積層させた半導体装置が記載されている。この半導体装置では、リードフレームのリード端子部の一方が延長されて形成されており、この延長部分の上面に第1半導体チップが固定されるとともに、第1半導体チップの縁部から第2半導体チップの縁部が突出するように、第2半導体チップが第1半導体チップの上に積層されている。また、延長部分の下面には、第3半導体チップが固定され、第4半導体チップの縁部が第3半導体チップの縁部から突出するように、第4半導体チップが第3半導体チップの上に積層されている。

【特許文献1】特開2001-298150号公報（第14頁、第9図）

【発明の開示】

【発明が解決しようとする課題】

【0003】

半導体チップの縁部が他の半導体チップの縁部から突出しない場合には、突出する部分に加わる応力について考慮する必要はないが、特許文献1に記載の構造のように半導体チップの縁部が他の半導体チップの縁部から突出する場合には、突出部分に加わる応力が問題となる。

【0004】

特許文献1の構造では、第4半導体チップの縁部が第3半導体チップから突出しており、この突出した縁部の上下にはリードフレームも他の半導体チップも存在しないため、樹脂封止した後に金型から取り外す際に、第4半導体チップの縁部が樹脂変形によって受ける応力が大きい。特に、第4半導体チップの縁部が第3半導体チップの縁部から突出する境界の部分（エッジ部）に応力が集中し、エッジ部において第4半導体チップが割れる虞がある。

【0005】

本発明の目的は、半導体チップ積層型の半導体装置において、応力による半導体チップの劣化を抑制することにある。

【課題を解決するための手段】

【0006】

本発明に係る半導体装置は、樹脂封止体によって封止される半導体装置であって、表面及び裏面を有するダイパッド部と、第1及び第2半導体チップと、リード端子部と、樹脂封止体とを備えている。第1半導体チップは、第1電極部が形成された表面と、ダイパッド部の表面に固定された裏面とを有している。第2半導体チップは、第2電極部が形成された表面と、第1半導体チップの表面に固定された裏面とを有している。リード端子部は、第1及び第2電極部に電氣的に接続されている。樹脂封止体は、ダイパッド部、第1及び第2半導体チップを封止している。この半導体装置では、第2半導体チップの縁部が第1半導体チップの縁部から突出し、かつ、ダイパッド部の縁部が第1半導体チップの上記縁部から突出していることを特徴としている。

【発明の効果】

【0007】

本発明に係る半導体装置では、第2半導体チップの縁部が第1半導体チップ縁部から突出している部分、即ち、第2半導体チップが第1半導体チップから突出する部分（はみ出し部分）と同じ側において、ダイパッド部が第1半導体チップから突出しているので、はみ出し部分のダイパッド部側では、ダイパッド部によって樹脂封止体が分断されている。

これにより、樹脂封止後の半導体装置を金型からの取り外す際に、はみ出し部が樹脂の変形から受ける応力を低減することができ、第2半導体チップの劣化を抑制することができる。

【発明を実施するための最良の形態】

【0008】

(1) 第1実施形態

〔構造〕

図1は、本発明の第1実施形態に係る半導体装置1の上面透視図（上部の樹脂封止体の上部を取り除いた図）であり、図2は、図1のA-Aにおける断面図である。半導体装置1は、例えば、半導体メモリ装置である。

【0009】

この半導体装置1は、ダイパッド部200及びリード端子部210、220を有するリードフレーム2と、半導体チップ4及び5とを備えている。

【0010】

リードフレーム2は、ダイパッド部200と、ダイパッド部200の両側に所定の間隔（0.3mm以上）を持って配置されたリード端子部210及び220と、ダイパッド部200を支持する支持部230及び240とを備えている。ダイパッド部200は、平面視略矩形に形成されており、互いに対向する面201及び202を有している。面201は、互いに対向する辺203及び204と、辺203及び204と隣り合うと共に互いに対向する辺205及び206とを有している。ダイパッド部200は、辺203及び204に沿って配置された支持部230及び240に固定されている。リード端子部210は、複数のリード端子からなる。リード端子部210の複数のリード端子は、ダイパッド部200の辺203の側において、辺203と所定の間隔（0.3mm以上）をもって、辺203に沿って配置されている。リード端子部210は、樹脂封止体10の内部に配置されるインナー部211と、樹脂封止体10の外部に配置されるアウター部212とを有している。アウター部212は、外部の端子の配置に合わせて折り曲げられている。リード端子部220は、複数のリード端子からなる。リード端子部220の複数のリード端子は、ダイパッド部200の辺204の側において、辺204と所定の間隔（0.3mm以上）をもって、辺204に沿って配置されている。リード端子部220は、樹脂封止体10の内部に配置されたインナー部221と、樹脂封止体10の外部に配置されたアウター部222とを有している。アウター部222は、外部の端子の配置に合わせて折り曲げられている。リード端子部210とリード端子部220とは、ダイパッド部200を挟んで互いに対向するように配置されている。

【0011】

半導体チップ4は、平面視略矩形であり、互いに対向する面41及び42を有している。面41は、互いに対向する辺43及び44と、辺43及び44と隣り合うと共に互いに対向する辺45及び46とを有している。ここでは、半導体チップ4の辺43と辺44との間の長さ（2X）、即ち辺45及び46の長さは11.4mmとする。半導体チップ4は、面41の辺43側に電極部47を有している。電極部47は、複数の電極からなる。電極部47の複数の電極は、辺43に沿って配置されている。半導体チップ4のチップ厚は、例えば、半導体チップ4の辺43と辺44との間の長さの半分 $X=5.7\text{mm}$ の0.02倍から0.06倍とする。半導体チップ4は、辺43がダイパッド部200の辺203側に配置されるように、面42の全面で接着剤6によりダイパッド部200の面201に固定されている。半導体チップ4の辺43とダイパッド部200の辺203との間の長さは0.1mm以上とする。

【0012】

半導体チップ5は、互いに対向する面51及び52を有している。面51は、互いに対向する辺53及び54と、辺53及び54と隣り合うとともに互いに対向する辺55及び56とを有している。ここでは、半導体チップ5は半導体チップ4と同一の形状及び大きさを有している。また、辺53と辺54との間の長さ、即ち辺55及び56の長さは2X

= 1.4 mmである。半導体チップ5は、面51の辺54側に電極部57を有している。電極部57は、複数の電極からなる。電極部57の複数の電極は、辺54に沿って配置されている。半導体チップ5のチップ厚は、例えば、半導体チップ5の辺53と辺54との間の長さの半分 $X = 5.7 \text{ mm}$ の0.02倍から0.06倍とする。

【0013】

半導体チップ5は、面52を半導体チップ4の面41に向けた状態で接着剤7により半導体チップ4に固定される。より詳細には、半導体チップ5の辺53が半導体チップ4の辺43よりも内側に位置するとともに、半導体チップ5の辺54が半導体チップ4の辺44よりも外側かつダイパッド部200の辺204よりも内側に位置するように、半導体チップ4に固定される。即ち、図1に示すように、半導体チップ4及び5は、平面視においてダイパッド部200に包含されるように配置されている。以下の説明において、半導体チップ5の半導体チップ4から外側にはみ出す境界部をエッジ部Eとする。エッジ部Eは、半導体チップ4の辺44の上方における半導体チップ5の部分である。

【0014】

配線部8は、電極部47を、電極部47から近い側にあるリード端子部210に電氣的に接続している。配線部8は、複数の金属配線からなる。配線部8の各金属配線は、電極部47の電極とリード端子部210のリード端子とを、例えばワイヤボンディングによって接続している。配線部9は、電極部57を、電極部57から近い側にあるリード端子部220に電氣的に接続している。配線部9は、複数の金属配線からなる。配線部9の各金属配線は、電極部57の電極をリード端子部220のリード端子とを、例えばワイヤボンディングによって接続している。

【0015】

樹脂封止体10は、各部を保護する目的で、リードフレーム2、半導体チップ4及び5、並びに、配線部8及び9を封止している。より詳細には、リード端子部210及び220のインナー部211及び221は樹脂封止体10により封止されるが、リード端子部210及び220のアウター部212及び222は樹脂封止体10から外部に露出している。

【0016】

〔製造方法〕

図3から図5は、本実施形態に係る半導体装置1の製造方法を説明する断面図である。

【0017】

まず、図3に示すように、半導体チップ4の面42をダイパッド部200の面201に向けて、辺43が辺203側に配置されるように、半導体チップ4を面42の全面でダイパッド部200の面201に接着剤6により固定する。このとき、半導体チップ4の辺43がダイパッド部200の辺203から0.1 mm以上内側に位置するように、半導体チップ4をダイパッド部200に固定する。

【0018】

次に、図4に示すように、第2半導体チップ5の面52を半導体チップ4の面41に向けた状態で、半導体チップ5の辺53が半導体チップ4の辺43よりも内側に位置するとともに、半導体チップ5の辺54が半導体チップ4の辺44よりも外側、かつ、ダイパッド部200の辺204よりも内側に配置されるように、半導体チップ5を接着剤7で半導体チップ4に固定する。このとき、半導体チップ5の辺54が半導体チップ4の辺44よりも外側にはみ出す部分（はみ出し部分）の長さは、半導体チップ5の辺53が半導体チップ4の辺43よりも内側にずれる長さである。はみ出し部分の長さ（エッジ部Eと辺54との間の長さ）は、半導体チップ4の電極部47が露出されて、電極部47とリード端子部210とが配線可能となるような長さであれば良い。

【0019】

半導体チップ4及び5を固定した後、半導体チップ4の電極部47の複数の電極を、電極部47から近い側にあるリード端子部210の複数のリード端子に、配線部8の複数の

金属配線でワイヤボンディングにより接続する。また、半導体チップ5の電極部57の複数の電極を、電極部57から近い側にあるリード端子部220の複数のリード端子に、配線部9の複数の金属配線でワイヤボンディングにより接続する。

【0020】

次に、図5に示すように、リードフレーム2のリード端子部210及び220をそれぞれピン103及び104により金型101及び102に固定し、トランスファーモルディング法により樹脂を封止して樹脂封止体10を形成する。リード端子部210及び220のインナー部211及び221が金型101及び102内部に収納されるとともに、リード端子部210及び220のアウター部212及び222が金型101及び102の外部に配置されるように、リードフレーム2を金型101及び102に固定する。樹脂封止体10で固定されたリードフレーム2を金型101及び102から取り外した後、リード端子部210及び220のアウター部212及び222の余分な部分を切断し、リード端子部210及び220のアウター部212及び222を外部の端子の配置に合わせて折り曲げて完成する。

【0021】

〔シミュレーション結果〕

次に、上述した半導体装置1の各部の寸法値を変えて半導体装置1全体での最大応力及びエッジ部Eでの最大応力をシミュレーションした結果を説明する。

【0022】

図6は、シミュレーションに用いた半導体装置1のシミュレーションモデルである。シミュレーションモデルは、半導体装置1のダイパッド部200を固定線105で二分割した場合の辺204側の半分の部分において、各部に作用する最大応力をシミュレーションする。シミュレーションは、図6のシミュレーションモデルにおいて、半導体チップ4と半導体チップ5とのズレの量（エッジ部Eと辺54との間の長さ）A、半導体チップ4、5のチップ厚B、ダイパッド部200の辺203と辺204との間の長さの半分Cを変化させ、樹脂封止体10の外周部に0.1kgの負荷を加えた場合の、半導体装置1全体での最大応力及びエッジ部Eでの最大応力を計算する。半導体装置1全体での応力は、固定線105での応力とする。以下、半導体チップ4と半導体チップ5とのズレの量A、半導体チップ4、5のチップ厚B、ダイパッド部200の辺203と辺204との間の長さの半分Cを、単に、ズレ量A、チップ厚B、ダイパッド長の半分Cと称す。また、半導体チップ5の辺54からダイパッド部200の辺204が外側にはみ出す長さをYとする。

【0023】

図7は、シミュレーションモデルの各部の物性値である。同図(a)は、半導体チップ4、5の母材と、リードフレーム2と、樹脂封止体10と、接着剤6、7の弾性率及びポアソン比を示している。同図(a)に示すように、樹脂封止体10は、半導体チップ4、5の母材及びリードフレーム2に比較して、弾性係数が小さく、ポアソン比が大きい。この弾性係数及びポアソン比の差が、リードフレーム2及び半導体チップ4、5に大きな応力が発生する原因となる。同図(b)は、ズレ量A、チップ厚B、ダイパッド長の半分Cごとに、シミュレーションに用いた条件（寸法）を示している。ここでは、各寸法は、半導体チップ5の辺53と辺54との間の距離の半分 $X=5.7\text{mm}$ を基準とした比率で表示している。例えば、ズレ量Aは、条件1=0.1の場合に $0.1 \times 5.7 = 0.57\text{mm}$ であり、チップ厚Bは、条件1=0.02の場合に $0.02 \times 5.7 = 0.114\text{mm}$ であり、ダイパッド長の半分Cは、条件1=0.7の場合に $0.7 \times 5.7 = 3.99\text{mm}$ である。

【0024】

図8は、ズレ量A、チップ厚B、ダイパッド長の半分Cを変更して応力を計算した場合の実験No. 1～No. 9の結果である。例えば、実験No. 1では、ズレ量Aが条件1=0.1、チップ厚Bが条件1=0.02、ダイパッド長の半分Cが条件1=0.7である。

【0025】

図9 (a) は、図8における半導体装置1全体での最大応力の計算結果を各水準A1、～C3ごとに平均した水準別平均であり、図9 (b) は、水準別平均をグラフに表したものである。同図において、例えば、水準C1は、図8において、ダイパッド長の半分Cが条件1である場合の半導体装置1全体での最大応力の平均であり、ダイパッド長の半分Cが条件1である実験No. 1、No. 6、No. 8における半導体装置1全体での最大応力の計算結果の平均 $(9.1 + 4.6 + 6.4) / 3 = 6.7 \text{ kg/mm}^2$ である。

【0026】

図10 (a) は、図8におけるエッジ部Eでの最大応力の計算結果を各水準A1～C3ごとに平均した水準別平均であり、図10 (b) は、水準別平均をグラフに表したものである。例えば、水準C1は、図8において、ダイパッド長の半分Cが条件1である場合のエッジ部Eでの最大応力の平均であり、ダイパッド長の半分Cが条件1である実験No. 2、No. 6、No. 8の場合の各最大応力（エッジ部）の計算結果の平均 $(2.6 + 4.4 + 5.3) / 3 = 4.1 \text{ kg/mm}^2$ により計算される。

【0027】

図9及び図10を参照すると、ズレ量Aについては、半導体装置1全体での応力はズレ量Aによって顕著な変化を示していないが、エッジ部Eでの応力はズレ量Aの増加に伴って緩やかに大きくなることが分かる。チップ厚Bについては、半導体装置1全体での応力はチップ厚Bの増加とともに減少しているが、エッジ部Eでの応力はチップ厚B1からB2では増加し、チップ厚B2からB3では減少している。ダイパッド長の半分Cについては、半導体装置1全体での応力はダイパッド長の半分Cによって顕著な変化を示していないが、エッジ部Eでの応力はダイパッド長の半分Cの増加によって顕著に減少していることが分かる。従って、図9及び図10の水準別平均から、ダイパッド部200が長いほど、即ち、ダイパッド部200の辺204が半導体チップ5の辺54よりも外側にはみ出すほど、エッジ部Eでの最大応力が減少すると予想される。

【0028】

図11は、図6に示すY（半導体チップ5の辺54からダイパッド部200の辺204が外側にはみ出す長さ）を変化させた場合のエッジ部Eでの最大応力をシミュレーションした結果のグラフである。ここでは、ズレ量Aを条件3=0.3、チップ厚Bを条件1=0.02とし、ダイパッド長の半分Cのみを変化させた。ここで、 $X < 0$ は、ダイパッド部200の辺204が半導体チップ5の辺54よりも内側にある場合を示している。

【0029】

同図によれば、ダイパッド部200の辺204が半導体チップ5の辺54よりも外側にはみ出す長さYが大きくなるほど（ダイパッド部200の辺204が半導体チップ4の辺44よりはみ出す長さが大きいほど）、エッジ部Eの最大応力が減少することが分かる。これは、ダイパッド部200の辺204が半導体チップ4の辺44よりはみ出す長さが大きいほど、ダイパッド部200の面202側の樹脂の変形が面201側の樹脂の変形に与える影響が少なくなり、その結果、面201側の樹脂の変形が半導体チップ5のはみ出し部分に及ぼす応力も減少し、半導体チップ5のエッジ部Eの応力も減少するためであると考えられる。

【0030】

本実施形態に係る半導体装置1よれば、半導体チップ4が半導体チップ5からはみ出す部分にダイパッド部200が重なるように配置されているので、半導体チップ5のエッジ部Eに作用する最大応力が低減され、半導体装置1の組み立て工程時（特に、樹脂封止後の半導体装置1を金型から取り外す際）に、半導体チップ5がエッジ部Eにおいて劣化することを抑制できる。また、ダイパッド部200の辺204が半導体チップ4の辺44よりも外側にはみ出す長さが大きいほど、半導体チップ5のエッジ部Eでの劣化抑制の効果が増大する。

【0031】

なお、上記では、半導体チップ5の面52全体に接着剤7を配置したが、半導体チップ4と重なっている部分、即ち、面52の辺53とエッジ部Eとの間の部分のみに接着材7

を配置して、半導体チップ5を半導体チップ4に固定するようにしても良い。

【0032】

(2) 第2実施形態

図12(a)は、本発明の第2実施形態に係る半導体装置1の断面図である。本実施形態に係る半導体装置1が上記第1実施形態と異なる点は、ダイパッド部200において、半導体チップ4及び5が重なっている部分に貫通部207が形成されている点である。ここで、半導体チップ4及び5が重なっている部分に貫通部207を形成するとは、貫通部207の大部分が半導体チップ4及び5が重なっている部分に形成されることであり、貫通部207の一部が半導体チップ4及び5が重なっている部分以外（半導体チップ4のみが固定されている部分）に形成されて良い。

【0033】

従来、上述した半導体チップ積層型の半導体装置1では、マザー基板等に半導体装置1を実装する際に発生する熱膨張によってダイパッド部200と半導体チップ4との間に発生する応力を緩和する目的で、ダイパッド部200に貫通部を形成している。ダイパッド部200に形成された貫通部の部分は、他の部分よりも強度の弱い脆弱部であり、熱膨張による応力を脆弱な貫通部の部分に集中させて、ダイパッド部200全体が反ることを防止している。しかし、従来、ダイパッド部200において半導体チップ4のみが固定される部分に貫通部を形成しているため、貫通部の上方部分において半導体チップ4の強度が弱く、半導体装置1の組み立て工程時（特に、樹脂封止後の半導体装置1を金型からの取り外す際）に貫通部の部分に応力が集中すると、貫通部の上方部分において半導体チップ4が劣化する虞がある。

【0034】

図13は、ダイパッド部200に貫通部を設けない場合と、ダイパッド部200において半導体チップ4のみが配置される部分に貫通部を設けた場合とにおける半導体チップ4に作用する最大応力の計算値である。貫通部を設ける場合には、半導体チップ4の貫通部の上方での部分の最大応力を計算した。貫通部を設けない場合には、貫通部を設けた場合と同じ位置での半導体チップ4の応力を計算した。同図から分かるように、貫通部を設けた場合には、半導体チップ4の貫通部の上方の部分に応力が集中し、貫通部を設けない場合の応力よりも大きくなっている。このとき、貫通部の上方では、1枚の半導体チップ4の強度であるので、半導体チップ4が貫通部の上方の部分で劣化する虞がある。そこで、本実施形態では、図14に示すように、ダイパッド部200において半導体チップ4及び5が重なっている部分に、貫通部207の大部分を形成する。

【0035】

同図(a)に示す貫通部207は、略矩形状の中央部分207aと、中央部分207aから対角線に沿って外方に延びる放射状部207bとを有している。放射状部207bの先端部側の一部は、半導体チップ4のみが配置された部分に形成されているが、貫通部207の大部分は半導体チップ4及び5が重なっている部分に形成されている。

【0036】

同図(b)に示す貫通部207は、互いに平行な複数の棒状部分を有している。各棒状部分の一部は、半導体チップ4のみが配置された部分に形成されているが、貫通部207の大部分は半導体チップ4及び5が重なっている部分に形成されている。

【0037】

同図(c)に示す貫通部207は、各先端が鋭角をなす十字形状部を有している。十字状部の一部は、半導体チップ4のみが配置された部分に形成されているが、貫通部207の大部分は半導体チップ4及び5が重なっている部分に形成されている。

【0038】

同図(d)に示す貫通部207は、複数の略円形部を有しており、各略円形部は半導体チップ4及び5が重なっている部分に形成されている。

【0039】

本実施形態では、上記4通りの形状の貫通部207を示したが、貫通部207の形状は

これらに限られることはなく、貫通部 207 の大部分が半導体チップ 4 及び 5 が重なっている部分に形成されていれば良い。なお、本実施形態に係る半導体装置 1 は、図 14 に示すような貫通部 207 を有するリードフレーム 2 を準備し、第 1 実施形態と同様の製造方法で製造する。

【0040】

本実施形態のように、貫通部 207 の大部分を半導体チップ 4 及び 5 が重なっている部分に形成すれば、半導体装置 1 の組み立て工程時（樹脂封止後の半導体装置 1 の金型からの取り外し時）に、貫通部 207 の上方の部分において半導体チップ 4 に応力が集中したとしても、この部分では半導体チップ 4 に半導体チップ 5 が重なって配置されているため、半導体チップ 4 の強度が大きく、半導体チップ 4 が貫通部 207 の上方の部分で劣化することを抑制することができる。

【0041】

従って、本実施形態に係る半導体装置 1 によれば、第 1 実施形態と同様に、組み立て工程時において半導体チップ 5 のエッジ部 E での劣化を抑制するとともに、ダイパッド部 200 の半導体チップ 4 及び 5 が重なって配置された部分に貫通部 207 の大部分を形成することにより、貫通部 207 の上方の部分において半導体チップ 4 が劣化することを抑制し、かつ、貫通部 207 によって半導体チップ 4 とダイパッド部 200 との間に発生する応力を低減することができる。

【0042】

なお、上記では、半導体チップ 4 及び 5 が重なっている部分に貫通部 207 を形成したが、図 12 (b) に示すように、半導体チップ 4 が配置されていない部分に貫通部 207 を形成しても良い。この場合には、貫通部 207 の上方の部分に半導体チップ 4 が配置されていないので、貫通部 207 の上方の部分で半導体チップ 4 が劣化する虞はない。

【0043】

(3) 第 3 実施形態

図 15 は、本発明の第 3 実施形態に係る半導体装置 1 の断面図である。

【0044】

上記では、ダイパッド部 200 の面 201 に半導体チップ 4 及び 5 を積層したが、図 15 に示すように、ダイパッド部 200 の面 202 にも半導体チップ 400 及び 500 を積層しても良い。半導体チップ 400 及び 500 は、半導体チップ 4 及び 5 と同様の構成であるので詳細な説明を省略する。

【0045】

半導体チップ 400 は、面 402 をダイパッド部 200 の面 202 に向けた状態で、辺 403 がダイパッド部 200 の辺 203 側に配置されるように面 402 の全面で接着剤 60 を介してダイパッド部 200 の面 202 に固定されている。半導体チップ 500 は、面 502 を半導体チップ 400 の面 401 に向けた状態で、辺 503 が半導体チップ 400 の辺 403 よりも内側に位置するとともに、辺 504 が半導体チップ 400 の辺 404 よりも外側かつダイパッド部 200 の辺 204 よりも内側に位置するように、接着剤 70 を介して半導体チップ 400 に固定されている。ここで、ダイパッド部 200 の辺 204 が半導体チップ 400 の辺 404 よりも外側にはみ出す長さは長いほど、第 1 実施形態と同様の理由により、半導体チップ 500 のエッジ部 E で劣化することを抑制できる。貫通部 207 は、ダイパッド部 200 において半導体チップ 4、5、400 及び 500 が重なっている部分に形成されている。

【0046】

このように、ダイパッド部 200 の両面（面 201 及び面 202）に半導体チップ 4、5、400 及び 500 をそれぞれ積層すれば、面 202 においても半導体チップ 500 の辺 504 がダイパッド部 200 の辺 204 よりも内側に位置するように配置されているので、半導体チップ 4 及び 5 について説明したと同様の理由により、半導体チップ 500 がエッジ部 E で劣化することを抑制できる。また、ダイパッド部 200 の両面に半導体チップ 4、5、400 及び 500 を積層するため、半導体装置 1 に収納する半導体チップの数

を増増させることができる。また、半導体チップ4は、貫通部207の上方の部分において半導体チップ5と重なっているため強度が大きく、貫通部207に集中する応力による劣化が抑制される。また、半導体チップ400は、貫通部207の上方の部分において半導体チップ500と重なっているため強度が大きく、貫通部207に集中する応力による劣化が抑制される。

【0047】

なお、ここでは、半導体チップ5及び半導体チップ500をリード端子部220側にずらしたが、半導体チップ500をリード端子部210側にずらしても良い。即ち、図16に示すように、辺403がダイパッド部200の辺204側になるように半導体チップ400を固定し、半導体チップ500の面502を半導体チップ4の面401に向けた状態で、半導体チップ500の辺503が半導体チップ400の辺403よりも内側に位置するとともに、半導体チップ500の辺504が半導体チップ400の辺404よりも外側かつダイパッド部200の辺203よりも内側に位置するように、半導体チップ500を半導体チップ400に固定しても良い。ここで、ダイパッド部200の辺203が半導体チップ400の辺404よりも外側にはみ出す長さは長いほど、第1実施形態と同様の理由により、半導体チップ500のエッジ部Eで劣化することを抑制できる。貫通部207は、ダイパッド部200において半導体チップ4、5、400及び500が重なっている部分に形成されている。

【0048】

上記第1乃至第3実施形態では、半導体チップ4及び5が略同一の形状及び大きさである場合を例に挙げて説明したが、半導体チップ4と半導体チップ5の形状及び大きさが異なる場合であっても、半導体チップ4が半導体チップ5からはみ出す部分がダイパッド部200に重なるように配置すれば形成すれば、半導体チップ4のエッジ部Eにおける劣化を抑制できる。

【0049】

(4) 第4実施形態

図17は、本発明の第4実施形態に係る半導体装置1の平面図である。第1実施形態と同様の構成には同一符号を付し、第1実施形態と同様の構成についての説明を省略する。

【0050】

本実施形態では、半導体チップ5に加え半導体チップ600も半導体チップ4の面41に固定されている。半導体チップ600は、面601と、面601に対向する図示しない面とを有している。また、面601は、互いに対向する辺603及び604と、辺603及び604と隣り合って互いに対向する辺605及び606とを有している。半導体チップ600は、面601の辺604側に電極部607を有している。辺603及び辺604の長さは半導体チップ4の辺43及び辺44の長さよりも短く、辺605及び辺606の長さは半導体チップ4の辺45及び46の長さよりも短い。半導体チップ600は、平面視において半導体チップ4に包含されるように半導体チップ4の面41に固定されている。半導体チップ600の電極部607は、リード端子部220に配線部9により接続されている。

【0051】

半導体チップ5の辺53及び54は、半導体チップ4の辺43及び44よりも短かい。半導体チップ5は、第1実施形態と同様に、辺54が半導体チップ4の辺44よりも外側かつダイパッド部200の辺204よりも内側に位置するように、半導体チップ4に固定されている。

【0052】

このように、半導体チップ4の上に半導体チップ5及び600を固定する場合も、半導体チップ5の半導体チップ4から外側にはみ出す部分がダイパッド部200に重なるため、第1実施形態と同様の理由により、半導体チップ5がエッジ部Eで劣化することを抑制できる。この場合も、ダイパッド部200の辺204が半導体チップ4の辺44から外側にはみ出す長さが大きくなるほど、半導体チップ5のエッジ部Eでの劣化抑制の効果が増

大する。

【0053】

なお、半導体チップ4に半導体チップ5又は600が重なっている部分に貫通部207の大部分を形成すれば、貫通部207の上方の部分において半導体チップ4に応力が集中したとしても、第2実施形態と同様の理由により、半導体チップ4の貫通部207の上方の部分での劣化を抑制できる。

【0054】

図18は、図17において、半導体チップ600も半導体チップ4から外側にはみ出す場合の半導体装置1の平面図である。半導体チップ600は、辺604が半導体チップ4の辺44よりも外側かつダイパッド部200の辺204よりも内側に位置するように、半導体チップ4の面41に固定されている。

【0055】

このように、半導体チップ4の上に半導体チップ5及び600を固定する場合に、半導体チップ5が半導体チップ4よりも外側にはみ出す部分及び半導体チップ600が半導体チップ4よりも外側にはみ出す部分がダイパッド部200に重なるように配置することにより、半導体チップ5及び600のエッジ部Eにおける最大応力を抑制し、半導体チップ5及び600がエッジ部Eで劣化することを抑制できる。なお、ダイパッド部200の辺204が半導体チップ4の辺44から外側にはみ出す長さが大きくなるほど、上述したように、半導体チップ5及び600のエッジ部Eでの劣化防止効果が増大する。

【0056】

この場合も、半導体チップ4に半導体チップ5又は600が重なっている部分に貫通部207の大部分を形成すれば、貫通部207の上方の部分において半導体チップ4に応力が集中したとしても、第2実施形態と同様の理由により、半導体チップ4の貫通部207の上方の部分での劣化を抑制できる。

【0057】

(5) 第5実施形態

図19は、第5実施形態に係る半導体装置1の平面図である。

【0058】

リードフレーム2は、ダイパッド部200の辺205と所定の間隔をもって配置された第3リード端子部210aと、ダイパッド部200の辺206と所定の間隔をもって配置された第4リード端子部220aとをさらに有している。半導体チップ4は、辺43に沿って電極部47を有するとともに、辺45に沿って電極部47aを有している。電極部47は配線部8によりリード端子部210に接続されており、電極部47aは配線部8aによりリード端子部210aに接続されている。半導体チップ5は、辺54に沿って電極部57を有するとともに、辺56に沿って電極部57aを有している。電極部57は配線部9によりリード端子部220に接続されており、電極部57aは配線部9aによりリード端子部220aに接続されている。半導体チップ4は、面41と対向する面42の全面でダイパッド部200の面201に固定されている。半導体チップ5の辺54が半導体チップ4の辺44よりも外側かつダイパッド部200の辺204よりも内側に位置するとともに、半導体チップ5の辺56が半導体チップ4の辺46よりも外側かつダイパッド部200の辺206よりも内側に位置するように、半導体チップ5が半導体チップ4に接着剤を介して固定されている。このように、半導体チップ5が隣り合う2辺（辺54及び56）において半導体チップ4よりも外側にはみ出す場合にも、半導体チップ5がはみ出す部分に重なるようにダイパッド部200を配置することにより、半導体チップ5のエッジ部E1及びE2での最大応力を抑制し、半導体チップ5がエッジ部E1及びE2において劣化することを抑制できる。なお、ダイパッド部200の辺204が半導体チップ4の辺44及び46から外側にはみ出す長さが大きくなるほど、半導体チップ5のエッジ部E1及びE2における劣化抑制の効果が増大する。

【0059】

ダイパッド部200の半導体チップ4及び5が重なる部分（辺53、辺55、エッジ部

E1、エッジ部E2で囲まれる範囲)に貫通部207を形成すれば、貫通部207の上方の半導体チップ4に応力が集中したとしても、第2実施形態と同様の理由により、半導体チップ4が貫通部207の上方の部分で劣化することを抑制できる。

【0060】

(6) 第6実施形態

上記第1乃至第5実施形態では、複数の半導体チップを2層に積層したが、複数の半導体チップを3層以上に積層する場合にも、本発明を適用することができる。

【0061】

図20は、第6実施形態に係る半導体装置1の断面図である。本実施形態に係る半導体装置1は、第1実施形態に係る半導体装置1において、半導体チップ5の上にさらに半導体チップ400を積層している点が異なる。

【0062】

半導体チップ5は、面52を半導体チップ4の面41に向けた状態で、辺54が半導体チップ4の辺43の内側に位置するとともに、辺53が半導体チップ4の辺44の外側かつダイパッド部200の辺204の内側に位置するように、半導体チップ4に固定されている。

【0063】

半導体チップ400は、互いに対向する面401及び402と、互いに対向する辺403及び404とを有している。半導体チップ400は、面401の辺404の側に電極部407を有している。電極部407は、複数の電極からなる。半導体チップ400は、面402を半導体チップ5の面51に向けた状態で、辺403が辺54の内側に位置するとともに、辺404が半導体チップ5の辺53よりも外側かつダイパッド200の辺204よりも内側に位置するように、半導体チップ5に固定されている。配線部9は、電極部407を電極部407から近い側のリード端子部220に電氣的に接続している。

【0064】

本実施形態では、半導体チップ5が半導体チップ4からはみ出す部分、半導体チップ400が半導体チップ5からはみ出す部分にダイパッド部200が重なるようにダイパッド部200を配置している。この結果、第1実施形態の場合と同様に、半導体チップ5が半導体チップ4から外側にはみ出す境界部分(エッジ部)及び半導体チップ400が半導体チップ5から外側にはみ出す境界部分(エッジ部)における応力が低減され、半導体チップ5及び400がエッジ部において劣化することを抑制できる。

【図面の簡単な説明】

【0065】

【図1】 第1実施形態に係る半導体装置1の平面図。

【図2】 第1実施形態に係る半導体装置1の断面図。

【図3】 半導体装置1の製造方法の説明図。

【図4】 半導体装置1の製造方法の説明図。

【図5】 半導体装置1の製造方法の説明図。

【図6】 シミュレーションモデル。

【図7】 シミュレーションモデルの各部の物性値。

【図8】 シミュレーション結果。

【図9】 半導体装置全体での最大応力の水準別平均。

【図10】 エッジ部での最大応力の水準別平均。

【図11】 ダイパッド部のはみ出し部分とエッジ部の最大応力との関係。

【図12】 第2実施形態に係る半導体装置1の断面図。

【図13】 貫通部の有無による応力の比較。

【図14】 貫通部の形状例。

【図15】 第3実施形態に係る半導体装置1の断面図。

【図16】 第3実施形態に係る半導体装置1の断面図。

【図17】 第4実施形態に係る半導体装置1の平面図。

【図 1 8】 第 4 実施形態に係る半導体装置 1 の平面図。

【図 1 9】 第 5 実施形態に係る半導体装置 1 の平面図。

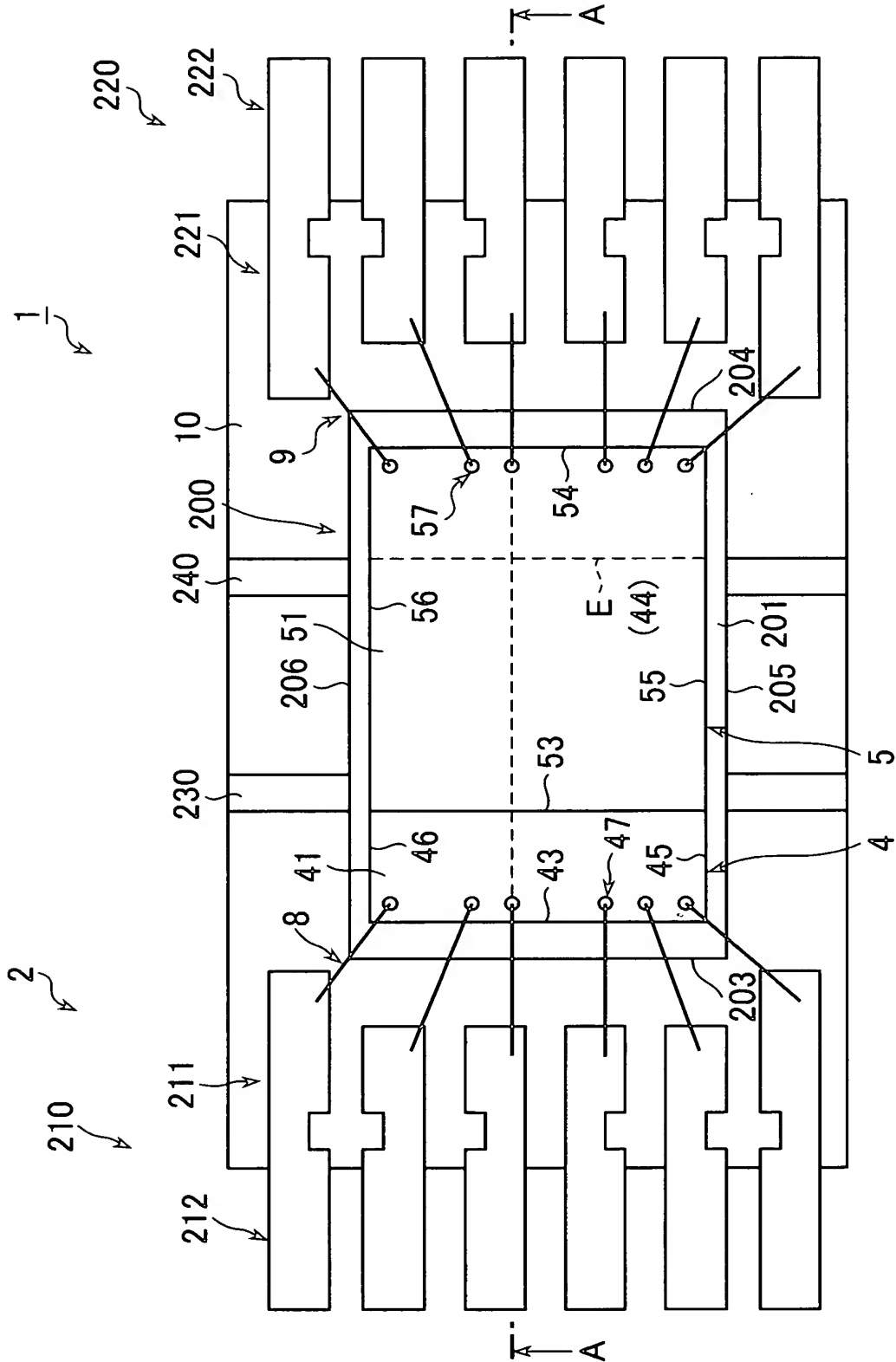
【図 2 0】 第 6 実施形態に係る半導体装置 1 の平面図。

【符号の説明】

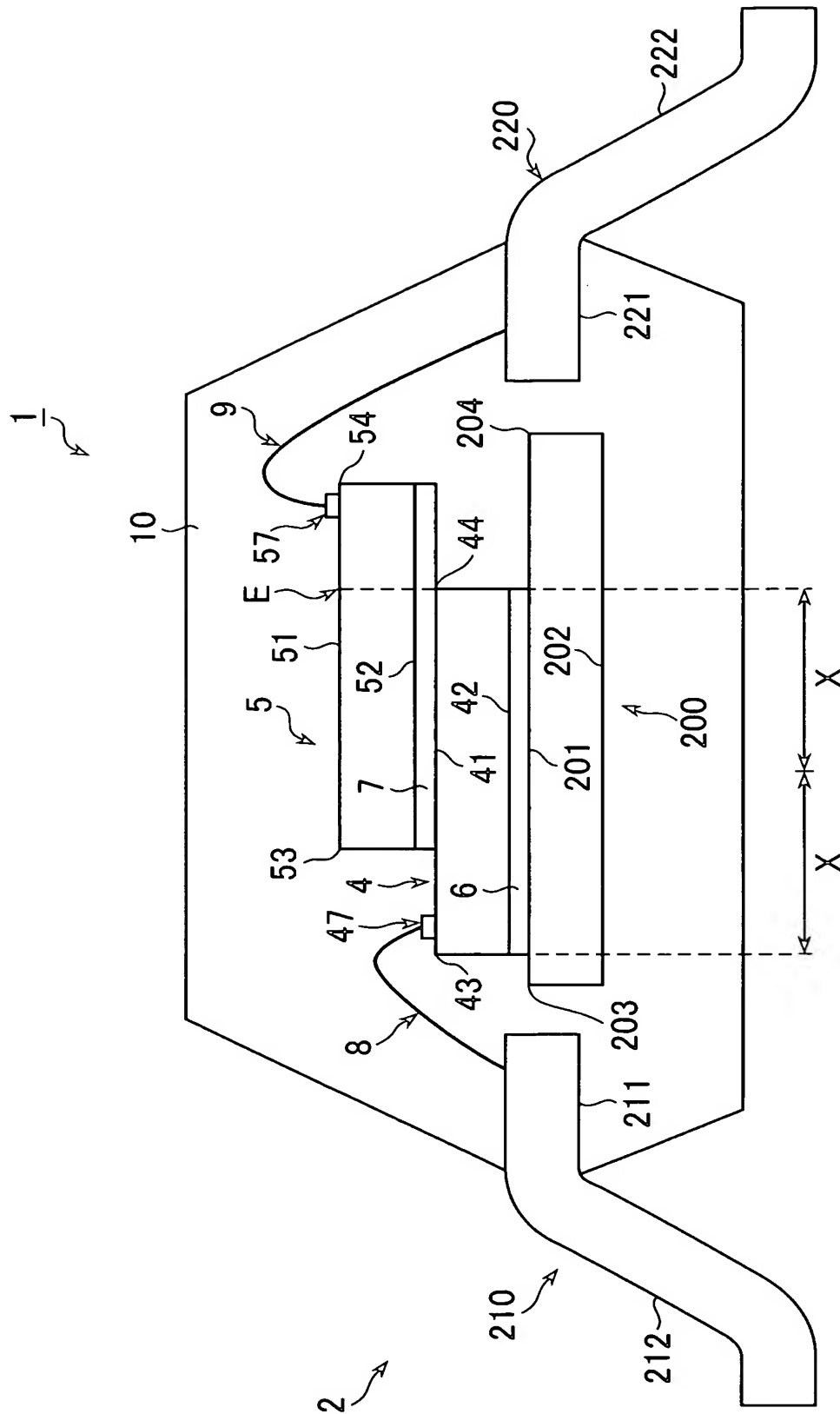
【 0 0 6 6 】

- 1 半導体装置
- 2 リードフレーム
- 2 0 0 ダイパッド部
- 2 0 7 貫通部
- 2 1 0, 2 2 0 リード端子部
- 4, 5, 4 0 0, 5 0 0, 6 0 0 半導体チップ
- 4 7, 5 7, 5 0 7 電極部
- 8, 9 配線部
- 1 0 樹脂封止体

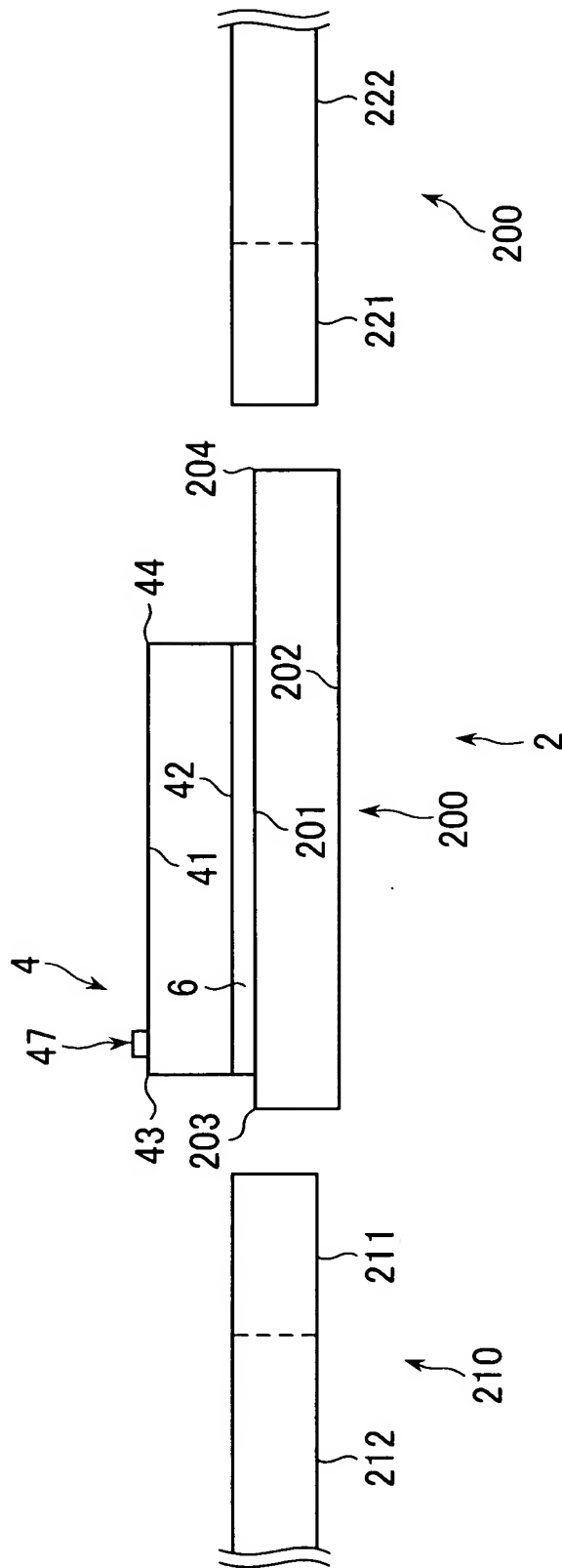
【書類名】 図面
【図 1】



【図 2】

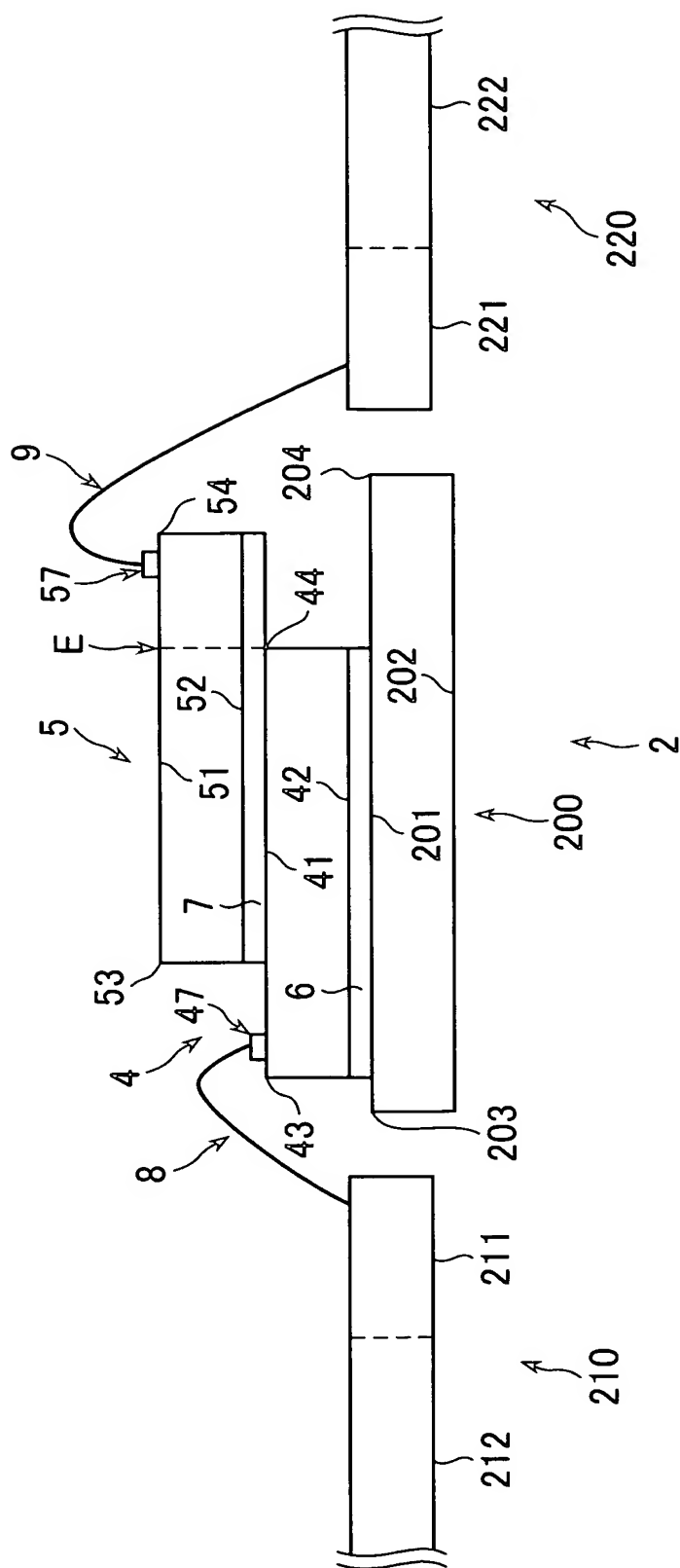


【図 3】



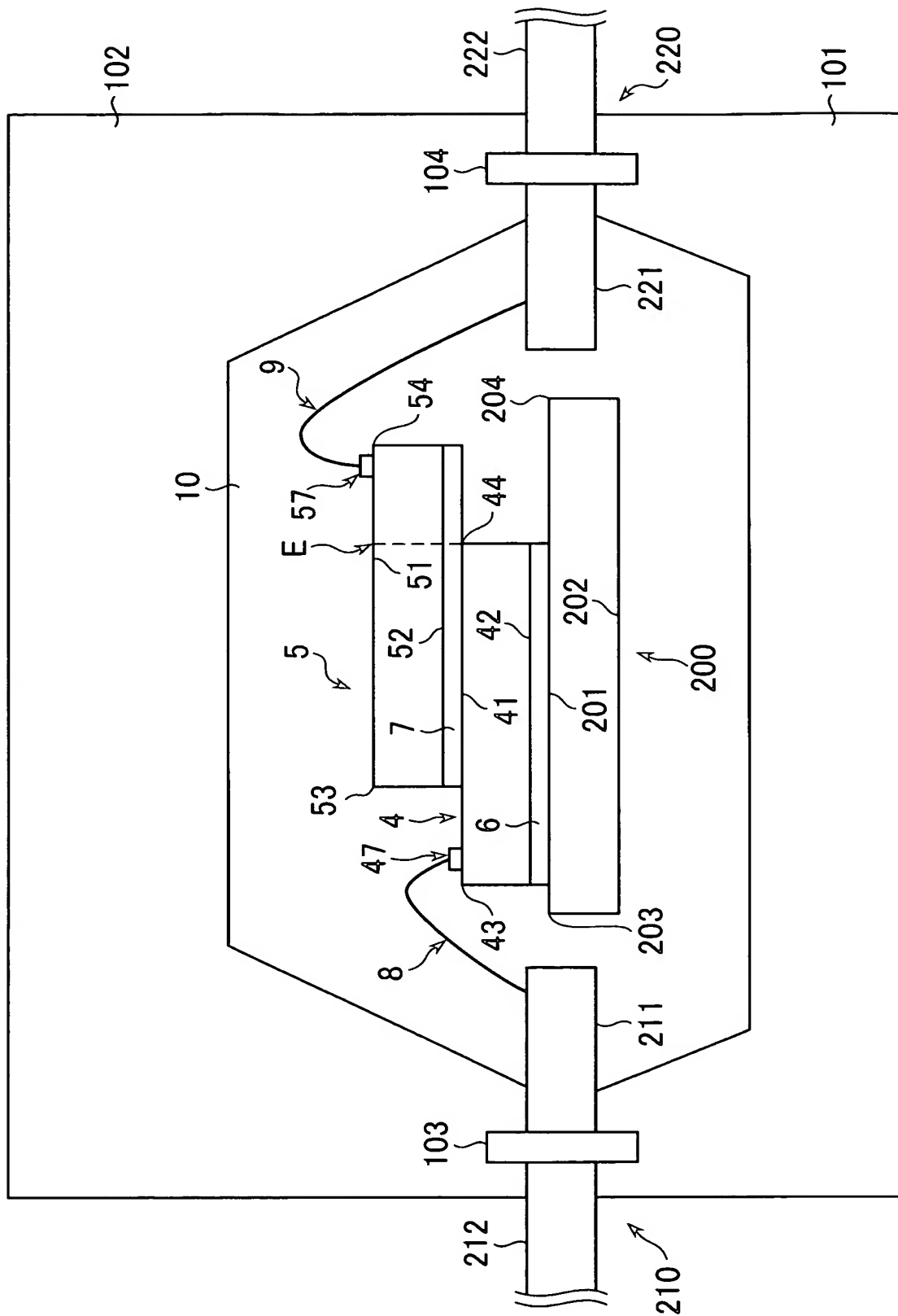


【図 4】

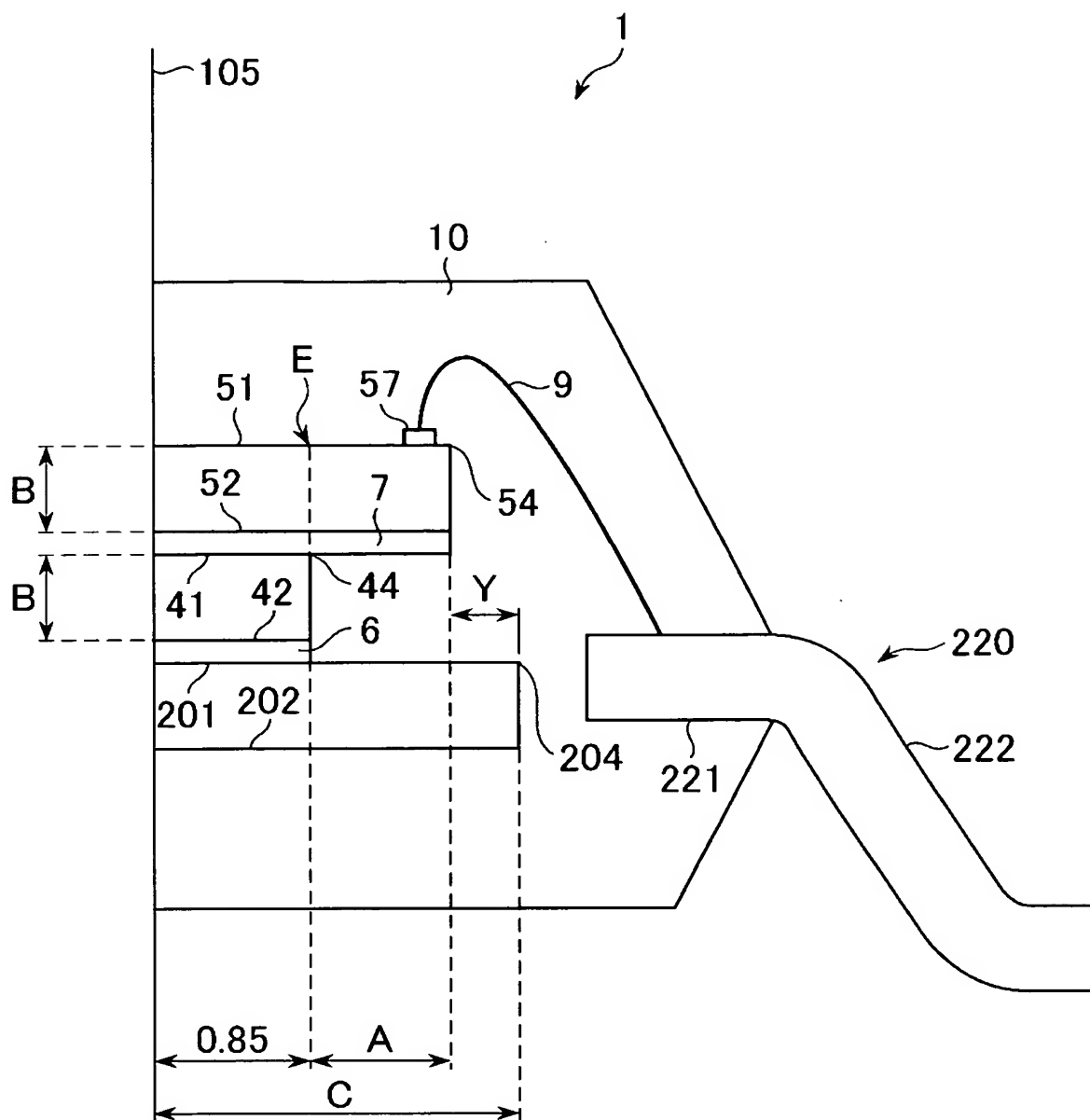




【圖 5】



【図 6】



【図 7】

(a)

材 料	弾性率(kg/mm ²)	ポアソン比
半導体チップ4.5の母材	17335	0.07
リードフレーム	14800	0.3
樹脂封止体	80	0.24
接着材	240	0.3

(b)

半導体チップ4.5の長さ(11.4mm)に対する比

項目 \ 条件	1	2	3
ズレ量 A	0.1	0.2	0.3
チップ厚さ B	0.02	0.04	0.06
ダイパッド長の半分 C	0.7	1	1.3

【図 8】

実験No	A	B	C	最大応力 (全体)	最大応力 (エッジ部)
1	1	1	1	9.1	2.6
2	1	2	2	6.9	2.9
3	1	3	3	3	1.8
4	2	1	2	9.2	1.5
5	2	2	3	7	3.1
6	2	3	1	4.6	4.4
7	3	1	3	9.2	1
8	3	2	1	6.4	5.3
9	3	3	2	4.6	3.9

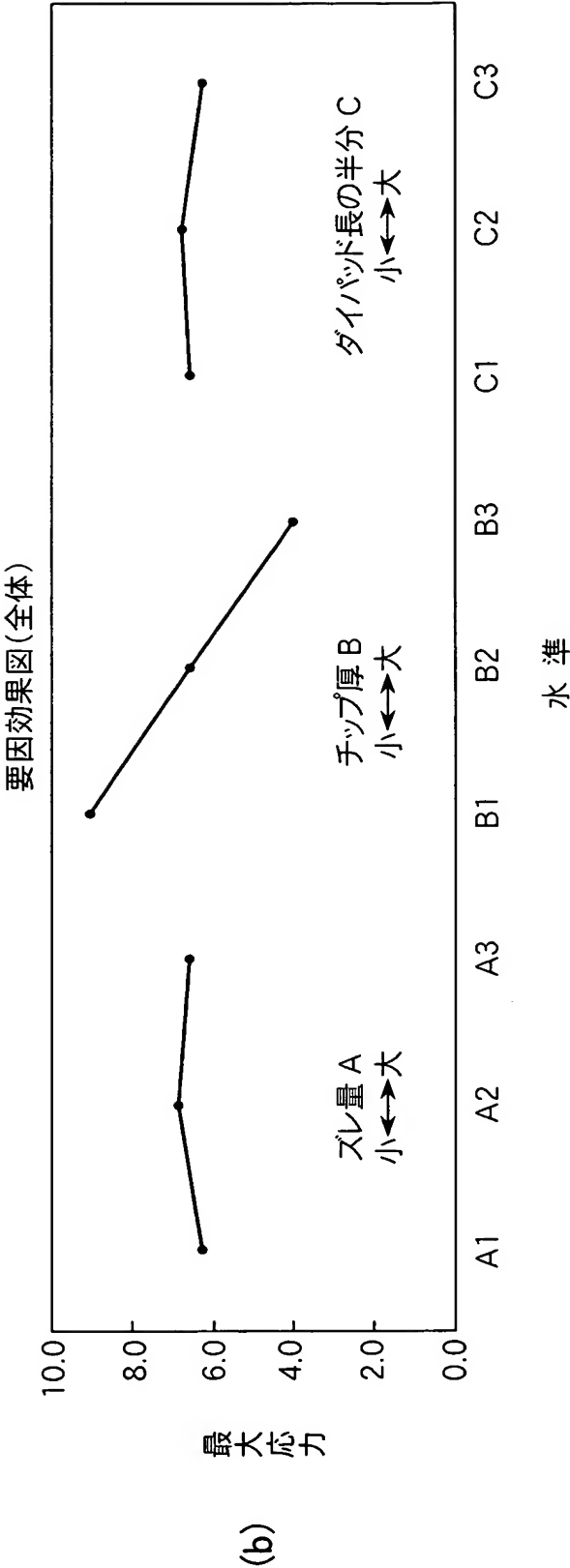
応力の単位: kg/mm²

【図 9】

最大応力(全体)の水準別平均(kg/mm²)

A1	A2	A3	B1	B2	B3	C1	C2	C3
6.3	6.9	6.7	9.2	6.8	4.1	6.7	6.9	6.4

(a)



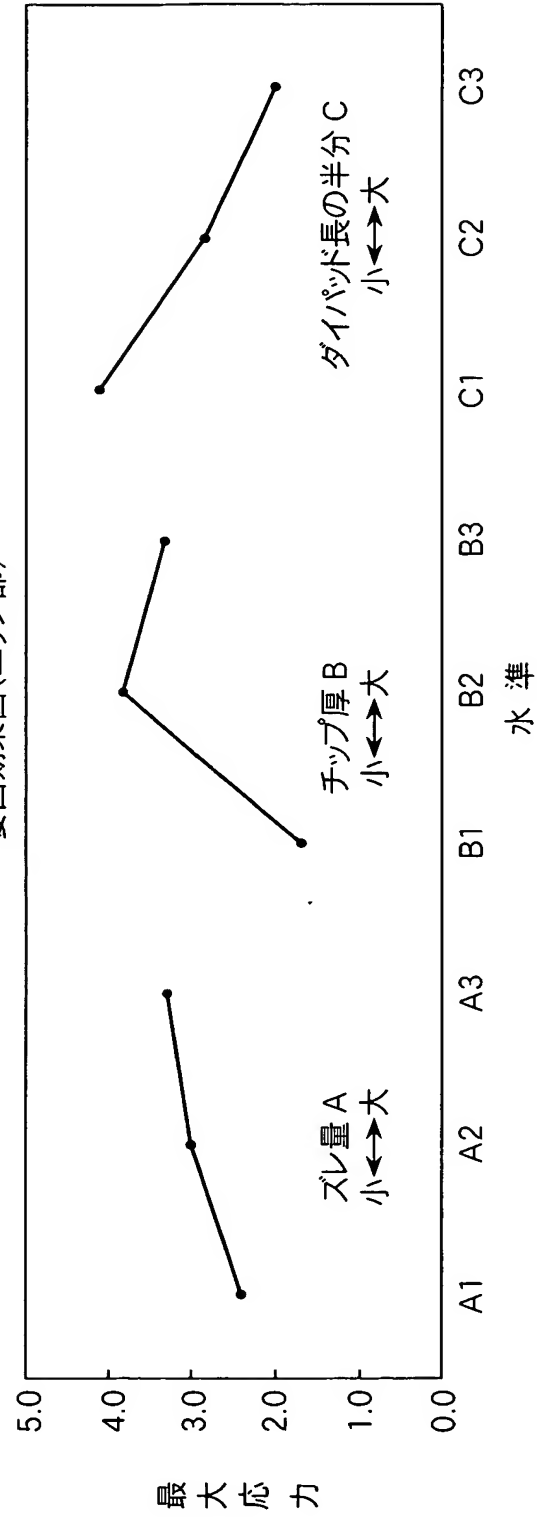
【図 10】

最大応力(エッジ部)の水準別平均(kg/mm²)

A1	A2	A3	B1	B2	B3	C1	C2	C3
2.4	3.0	3.4	1.7	3.8	3.4	4.1	2.8	2.0

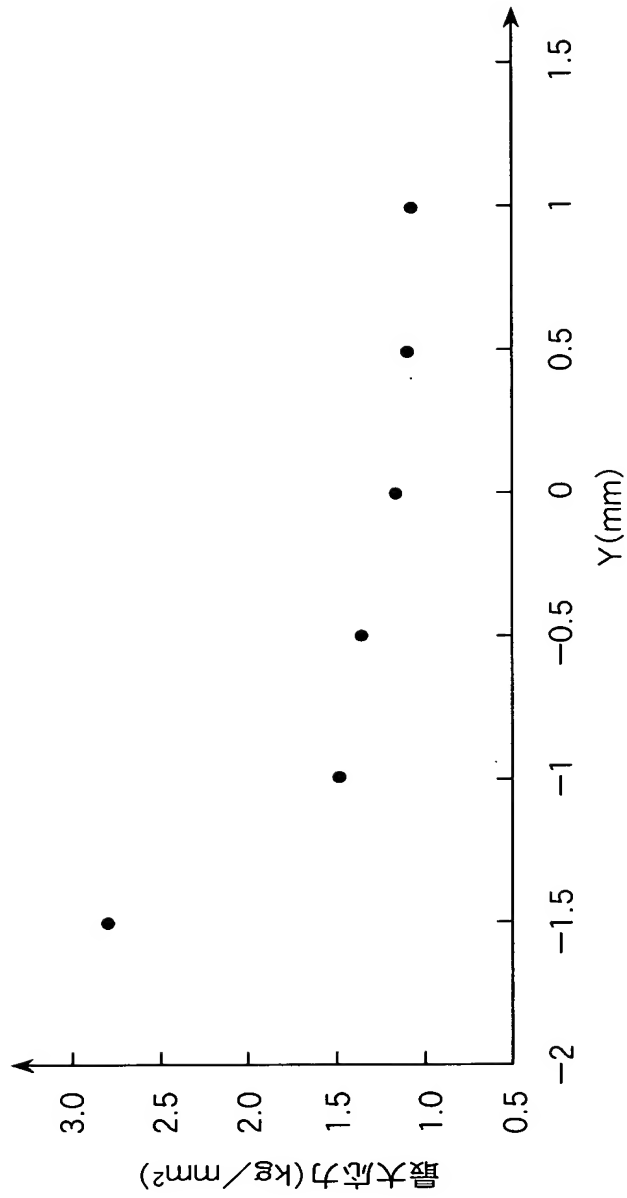
(a)

要因効果図(エッジ部)



(b)

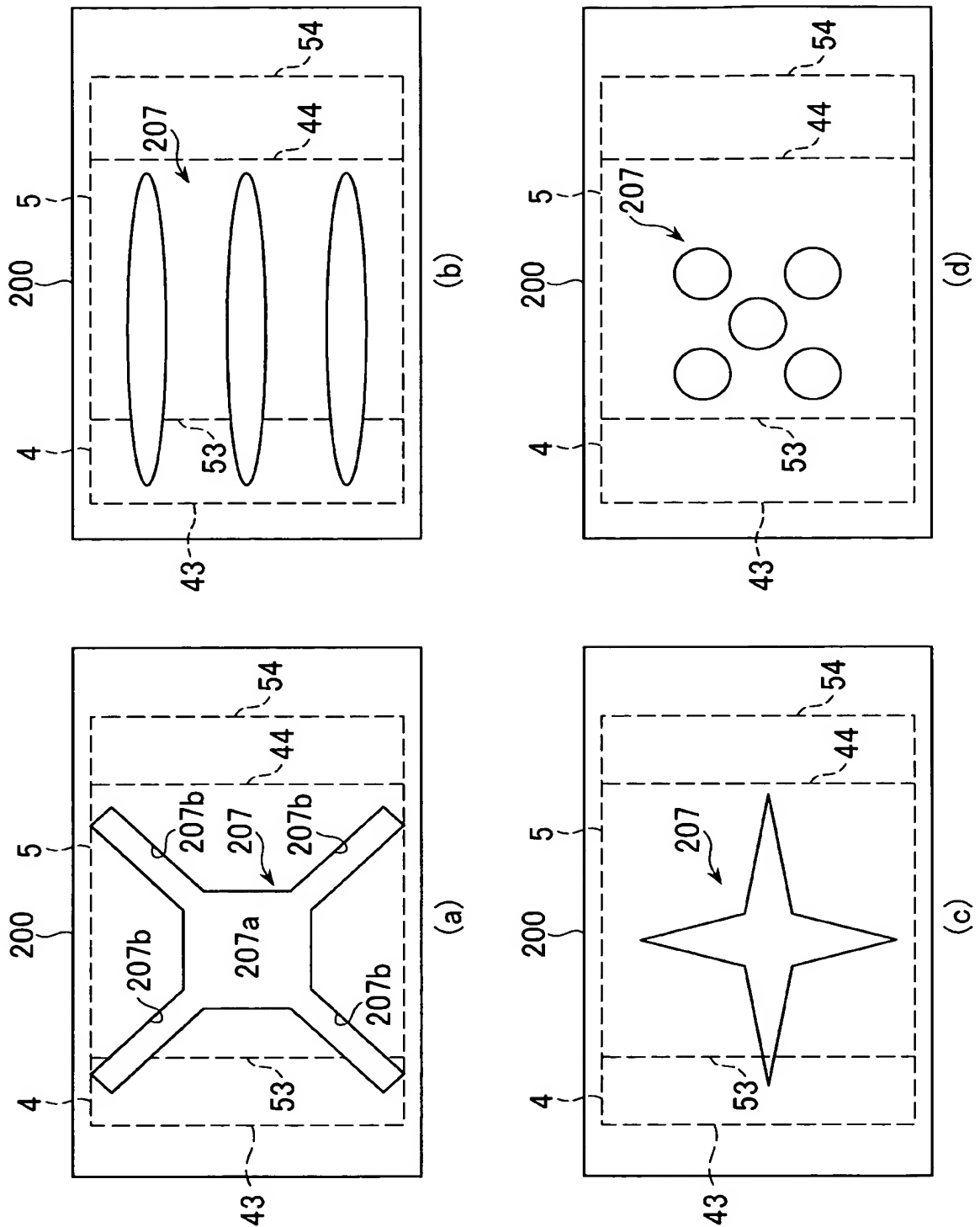
【図 1 1】



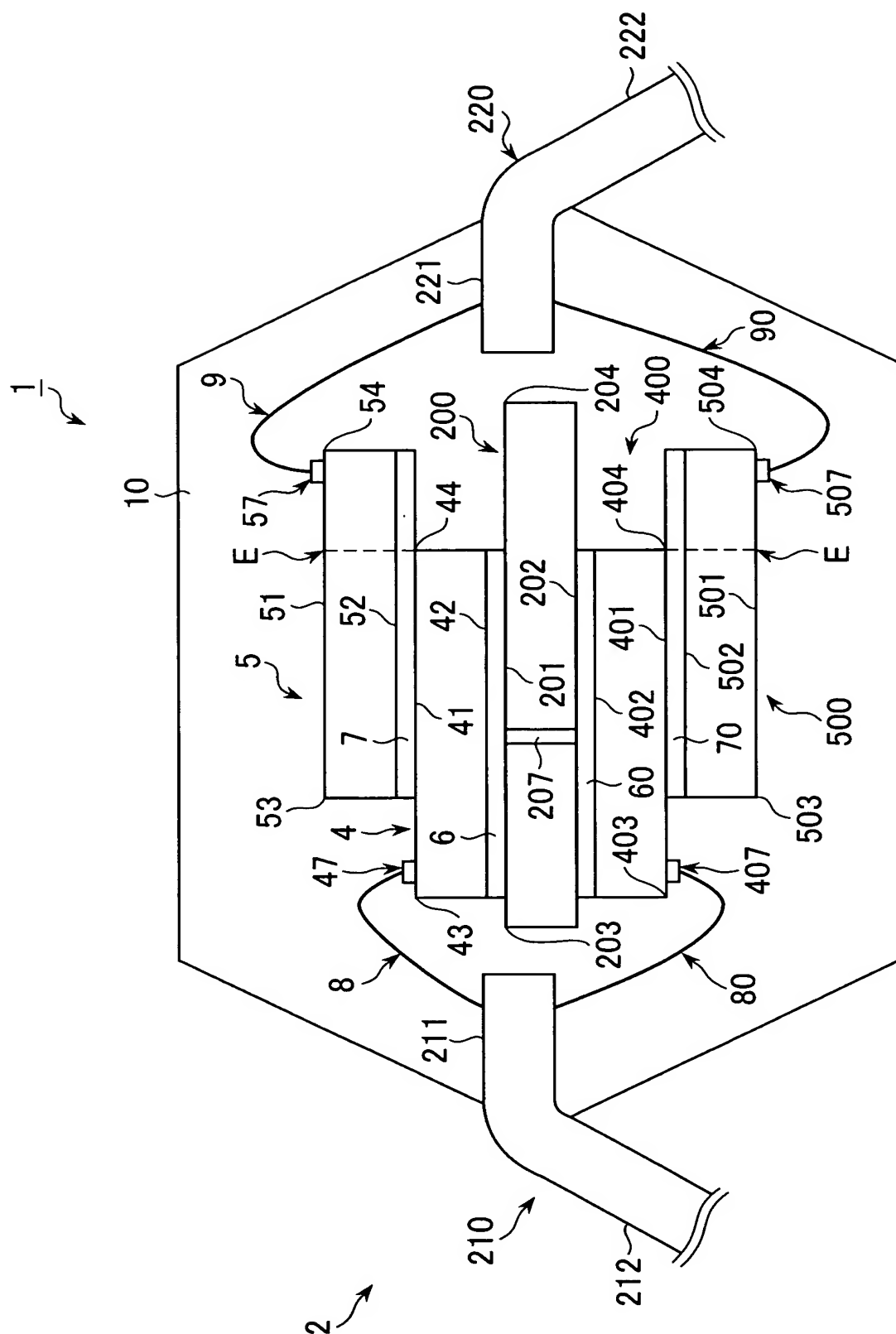
【図 1 3】

ダイパッド部の形状	応力 (kg/mm ²)
スリットあり (1つの半導体チップのみが配置される部分)	4.0
スリットなし	0.1

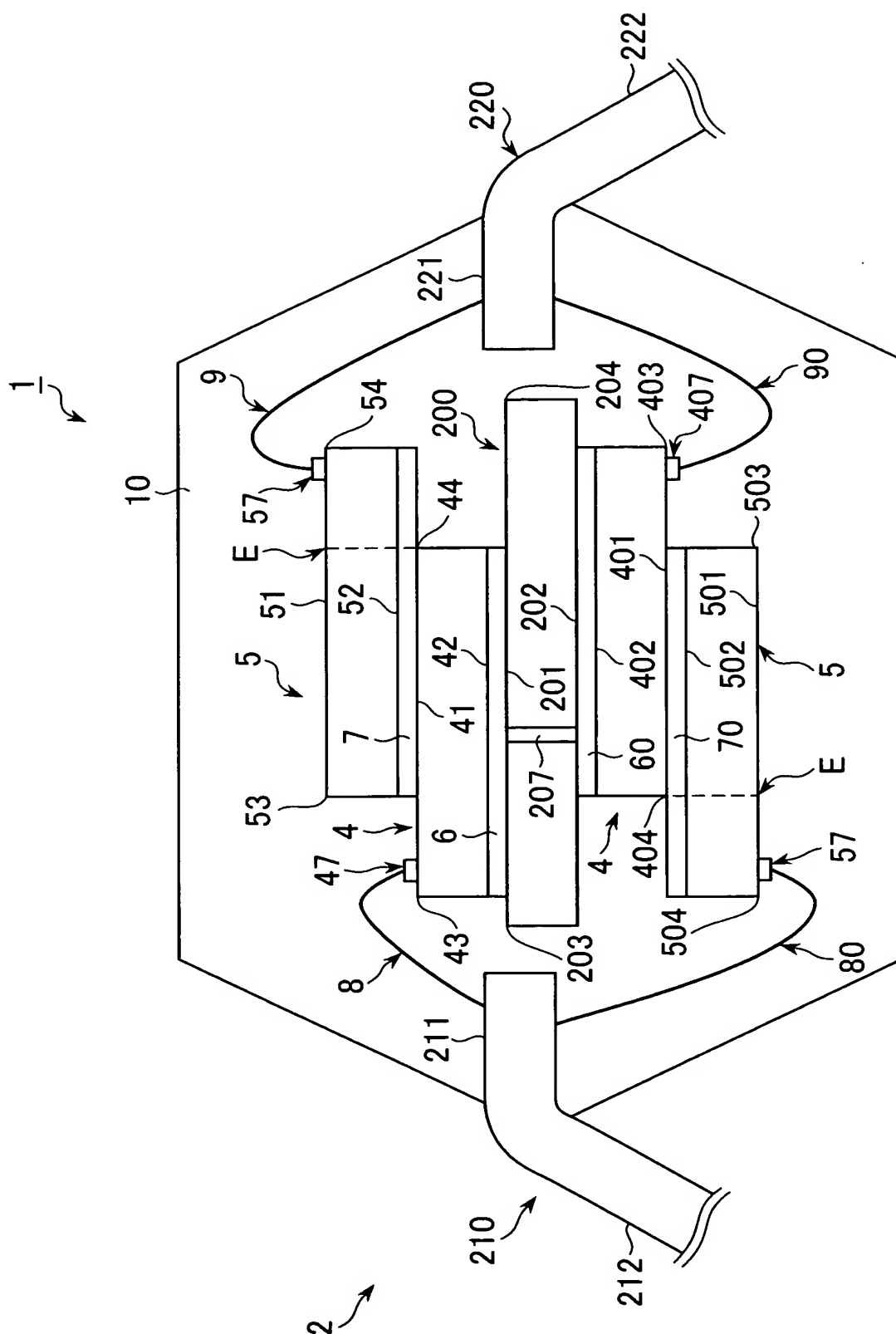
【図 14】



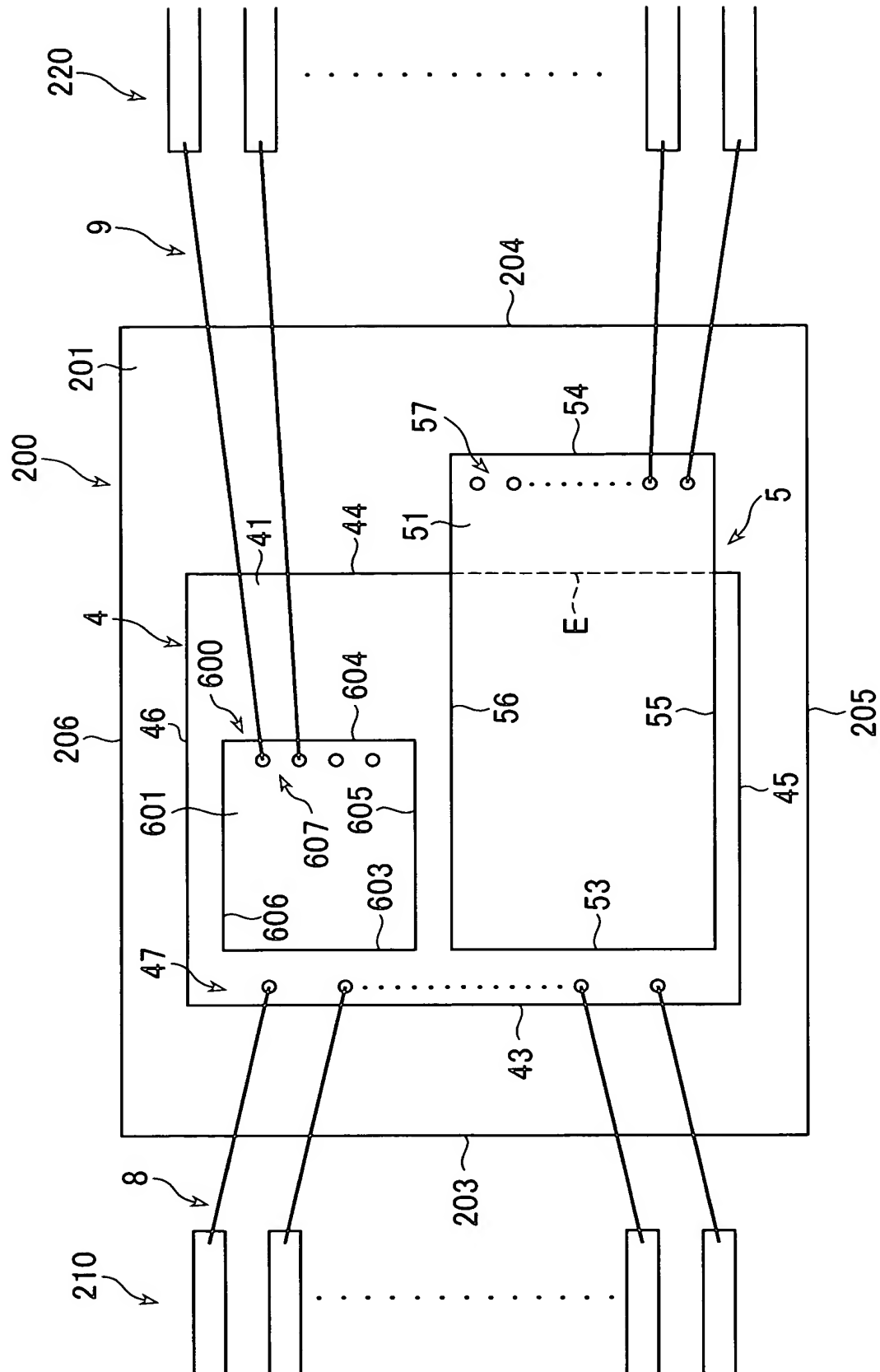
【図 15】



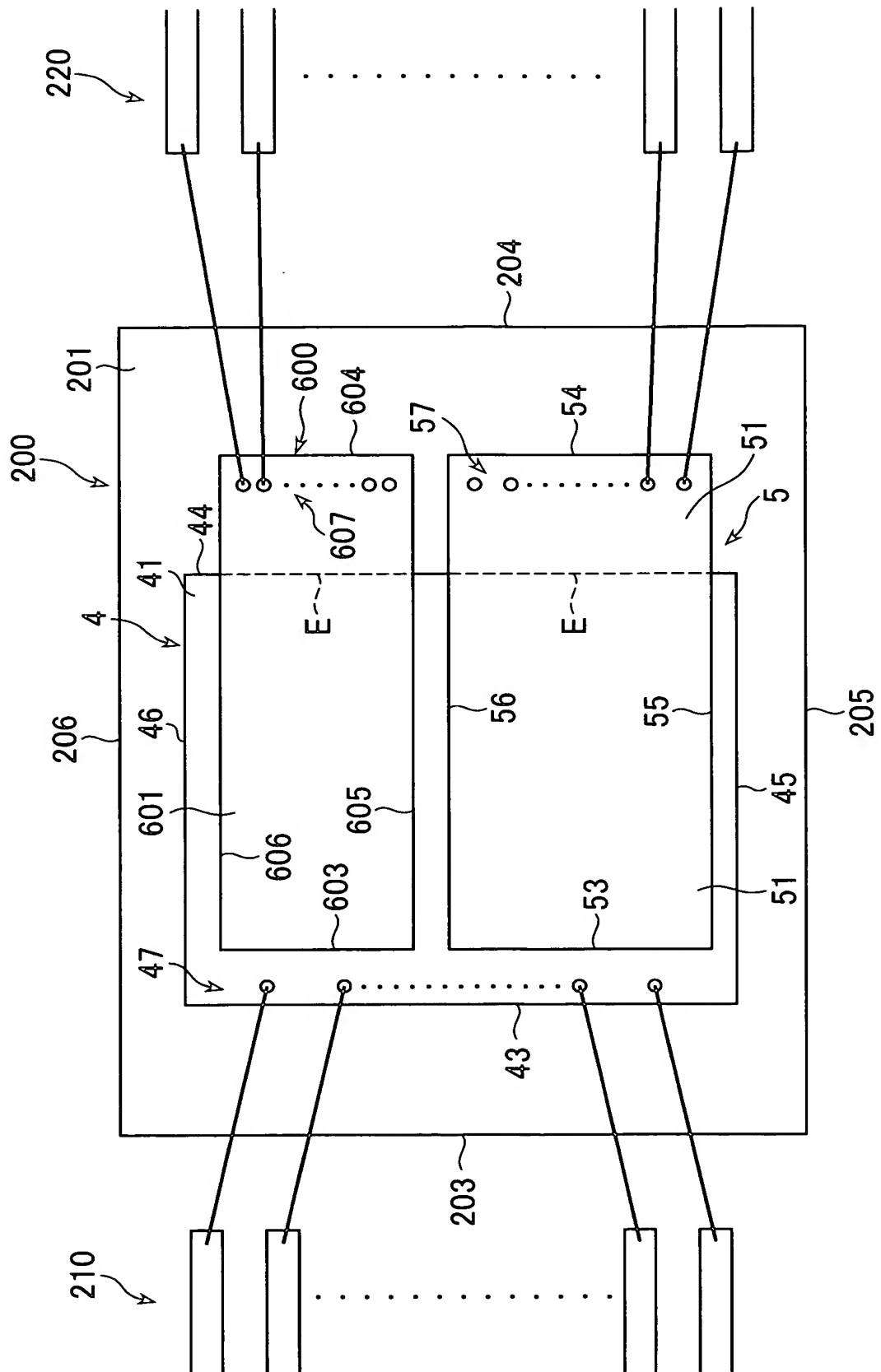
【図 16】



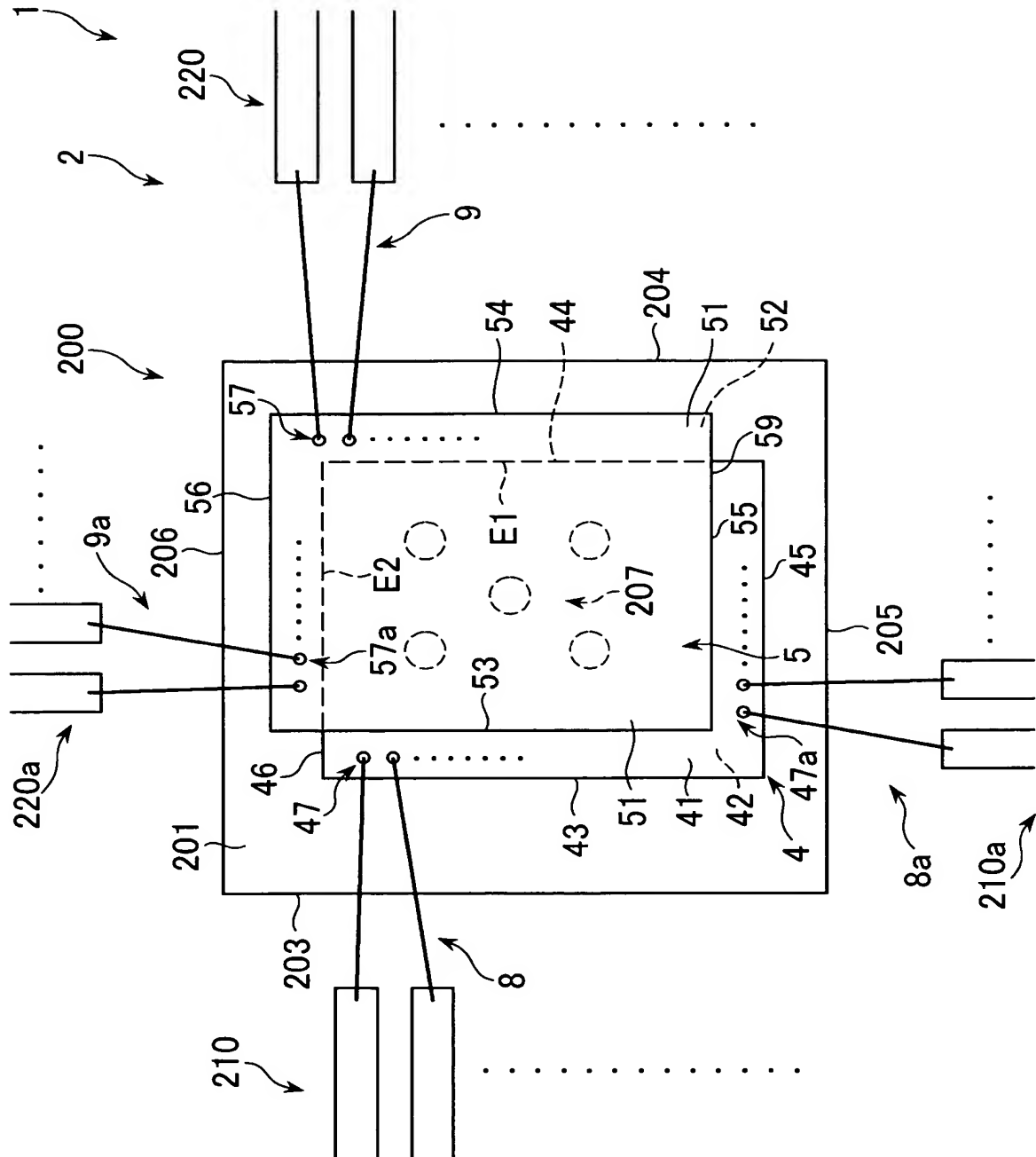
【図 17】



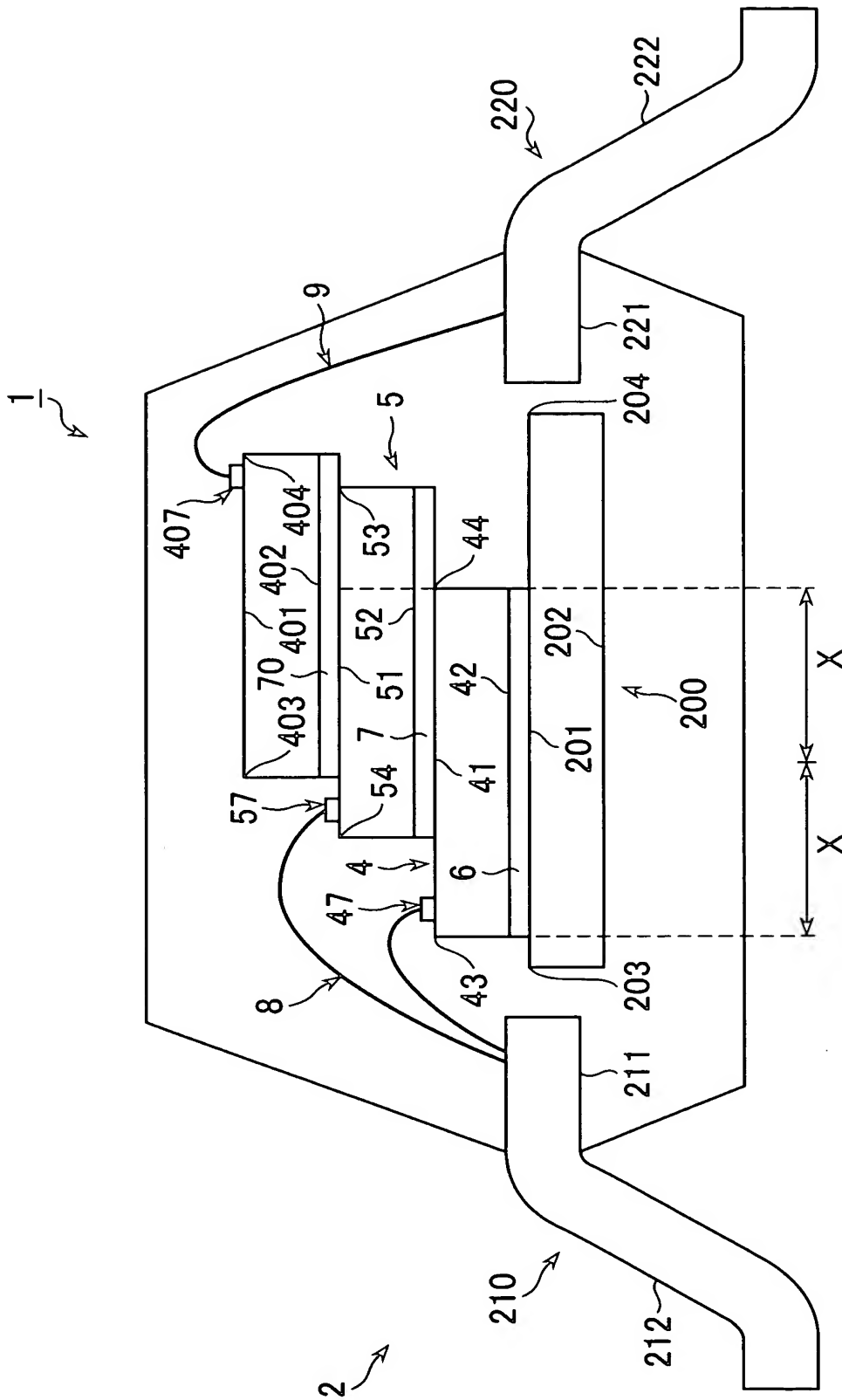
【図 18】



【図 19】



【図 20】



【書類名】要約書**【要約】**

【課題】 半導体チップ積層型の半導体装置において、応力による半導体チップの劣化を抑制することにある。

【解決手段】 表面 2 0 1 及び裏面 2 0 2 を有するダイパッド部 2 0 0 と、第 1 電極部 4 7 が形成された表面 4 1 と、ダイパッド部 2 0 0 の表面に固定された裏面 4 2 とを有する第 1 半導体チップ 4 と、第 2 電極部 5 7 が形成された表面 5 1 と、第 1 半導体チップ 4 の表面 4 1 に固定された裏面 5 2 とを有する第 2 半導体チップ 5 と、第 1 及び第 2 電極部 4 7, 5 7 に電氣的に接続されたリード端子部 2 1 0, 2 2 0 と、ダイパッド部 2 0 0、第 1 及び第 2 半導体チップ 4, 5 を封止する樹脂封止体 1 0 とを備えている。第 2 半導体チップ 5 の縁部 5 4 が第 1 半導体チップ 4 の縁部 4 4 から突出し、かつ、ダイパッド部 2 0 0 の縁部 2 0 4 が第 1 半導体チップ 4 の縁部 4 4 から突出していることを特徴とする。

【選択図】 図 2

特願 2 0 0 3 - 3 8 6 8 1 8

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 0 2 9 5]

1. 変更年月日	1 9 9 0 年 8 月 2 2 日
[変更理由]	新規登録
住 所	東京都港区虎ノ門1丁目7番12号
氏 名	沖電気工業株式会社